Una delle fasi del processo di progettazione, prima della descrizione in HDL, è quella di scegliere quali parti comprare sul mercato già pronte e per quali progettare autonomamente. In quel caso bisogna scegliere anche il mezzo su cui implementare il design. Nel caso di circuiti che richiedono funzionalità particolari e nel caso di elevati volumi di produzione si può creare un circuito integrato personalizzato detto ASIC (Application Specific Integrated Circuit). Le ASICs portano il vantaggio di poter scegliere autonomamente la tecnologia e raggiungendo un’efficienza elevata dall’altra parte richiedono un corposo investimento per iniziare la produzione. Una via di mezzo tra l’uso di parti presenti sul mercato e quello delle ASICs è dato dalle FPGAs (Field-Programmable Gate Arrays) o più in generale dai dispositivi logici programmabili PLDs (Programmable Logic Devices). *[Digital design p.29]*

I PLDs in generale sono dispositivi logici regolari e riconfigurabili che a differenza degli altri dispositivi logici, al momento della produzione non hanno una funzione logica predefinita. Questi dispositivi si possono dividere in tre categorie di complessità crescente: simple programmable logic devices SPLDs, complex programmable logic devices CPLDs ed FPGAs.  
I SPLDs non differiscono molto da una ROM in cui è in ogni riga sono codificate le uscite della funzione logica e la riga è selezionata dalla giustapposizione degli ingressi alla funzione. Dei SPLDs noti sono i PLAs (Programmable Logic Arrays) in cui la funzione logica è pressoché implementata per mezzo dei suoi mintermini ed ha una struttura come quella in Figura X.

Figura X – Esempio di PLA *[Digital design p.193]*

Nelle FPGAs invece presentano uno schema a blocchi regolare. Al suo interno sono presenti dei blocchi logici configurabili CLBs (Configurable Logic Blocks) che implementano le funzioni logiche per mezzo di look-up tables, LUTs, che sono generalmente delle memorie, ed altre funzioni aggiuntive come sommatori, multiplexer o stadi flip-flops, FFs. Oltre a questi blocchi ce ne sono altri con funzioni specifiche, a cui Xilinx si riferisce come special features, ad esempio memorie, gestione della temporizzazione o interfacce per l’esterno. Tutti questi blocchi sono disposti a matricee collegati a dei bus bidirezionali per mezzo di connessioni programmabili, come si vede in Figura XX. La struttura regolare e i collegamenti selezionabili delle FPGAs permettono di implementare un ampio numeri di design andando a collegare e configurare questi blocchi elementare. Inoltre sono facilmente programmabili e riconfigurabili più volte e velocemente.

Figura XX – Schema dei CLBs e dei canali d’interconnessione *[ug384.pdf p.37]*

ll CAD dopo aver svolto la sintesi del design si occupa tradurre (translate) i componenti riconosciuti con quelli di cui l’FPGA è costituita. Dopodiché si occupa di associare (map) i componenti riconosciuti con quelli presenti sulla FPGA ed infine di piazzarli e collegarli (place & route) creando l’effettivo design richiesto. In questi passaggi si può andare in contro ad errori che possono condizionare la scelta dell’FPGA. Per esempio, un’FPGA con delle RAM già presenti piuttosto che istanziarle per mezzo di CLBs o un’FPGA di un ordine superiore di blocchi poiché il design non riesce a essere associato allo schema dell’FPGA.

Per svolgere il progetto ho usato la scheda di sviluppo AX309 prodotta da ALINX. Questa scheda presenta un ampio numero di periferiche già collegate. Tra queste quelle di maggiore importanza poiché sono state usate nel progetto sono: il display 7 segmenti a sei cifre controllati per mezzo di un unico bus per i segmenti un bus per controllare gli anodi di ogni cifra; un’interfaccia USB-UART per comunicare con la scheda attraverso la micro USB di alimentazione; 4 LED e una porta JTAG. La porta JTAG serve per la programmazione dell’FPGA attraverso un programmatore compatibile ma anche per il debug attraverso le comunicazioni di un’ILA se istanziata.

Figura XXX – Scheda di sviluppo AX309

La scheda monta un FPGA Xilinx XC6LSX9 con clock a 50MHz. Quest’FPGA memorizza la configurazione su una memoria volatile per cui sulla scheda è presente una memoria FLASH programmabile via JTAG per immagazzinare la configurazione e ricaricarla ad ogni riavvio.  
L’FPGA presenta uno schema regolare dei CLBs che sono organizzati in colonne, come mostrato in Figura XXXX. Ogni CLB è diviso internamente in due slices che non comunicano tra loro ma solo con i collegamenti al bus centrale. Queste possono essere di tre: SLICEX, basilari che contengono quattro 6-Inputs LUTs e 8 FFs con clock ed enable comuni; SLICEL, che in aggiunta alle precedenti hanno la possiblità di gestire i riporti provenienti da altre SLICELs; SLICEM, che presentano elementi di memoria per creare RAM distribuite e shift resisters. Le slice nei CLBs seguono la seguente distribuzione: una slice di ogni CLBs è sempre una SLICEX mentre l’altra è alternata tra le altre due. Quest’ultime sono messe in colonna per permettere la propagazione del riporto. *[ug384.pdf]*

Figura XXXX – Disposizione delle slices all’interno di un CLB*[ug384.pdf p.8]*

Grazie agli elementi di memoria nelle SLICEXs, si possono creare delle RAM distribuite, anche dual-port, su più CLBs che hanno il vantaggio di essere facilmente utilizzabili e con lunghezze di parola arbitraria. La limitazione è nel numero poiché si possono implementare al massimo 90kb. *[ug384.pdf]* Per avere a disposizione più memoria, l’FPGA contiene già delle RAM, dette Block RAMs (BRAMs), che permettono di base un indirizzamento attraverso due port. L’FPGA che ho usato mette a disposizione 32 BRAMs da 18kb usabili come 2x9kb per un totale di 576kb.*[ug383.pdf]* L’uso di RAM dual-port permette di collegare due regimi a clock diversi all’interno del componente o, come nel mio caso, per permette l’uso delle memoria sia da parte dello Z80 che del controllore.  
Le BRAMs e le RAM distribuite sono utilizzabili nel progetto per mezzo di appositi IPs messi a disposizione dall’ambiente di sviluppo. Lo stesso ambiente mette a disposizione delle FIFOs (First-In First-Out) che sono delle pile che permettono di immagazzinare dati da un regime più veloce e renderli disponibili a uno più lento. Queste pile si basano su memorie RAM e l’ambiente permette di scegliere tra distribuite e BRAMs.

Nel progetto ho usato due BRAMs per implementare la ROM e la RAM collegate allo Z80 entrambe da 2kB per un totale di 32kb. Ho scelto di usare delle BRAMs per lasciare liberi i CLBs per altri usi. Mentre le FIFOs che ho usato le ho tutte implementate su BRAMs per lo stesso motivo.